

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-128859

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.<sup>5</sup>  
G11C 11/409

識別記号 庁内整理番号  
8320-5L

FI

G11C 11/34

354 A

技術表示箇所

審査請求 未請求 請求項の数2(全19頁)

(21)出願番号 特願平3-286351

(22)出願日 平成3年(1991)10月31日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 浜出 啓

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72)発明者 森 茂

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 深見 久郎 (外3名)

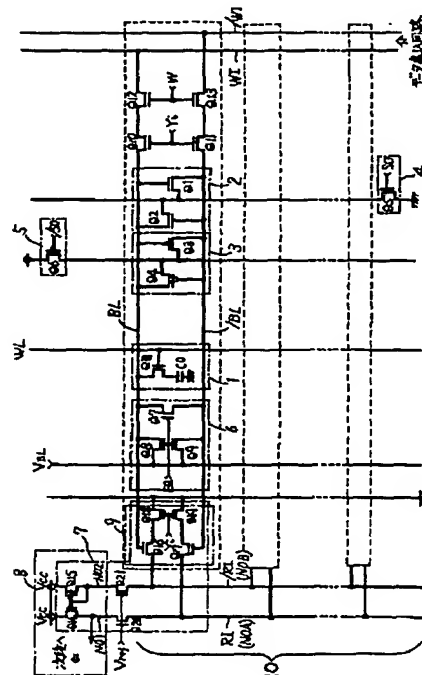
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 高速データ読出を低消費電流で実現する半導体記憶装置を提供することである。

【構成】 読出専用データ線対RI、/RIを第1の部分NO1、NO2と第2の部分NOAおよびNOBに分割するとともに、この第1および第2の部分に所定の基準電位Vrefをそのゲートに受けるMOSトランジスタQ20およびQ21を設ける。第1の部分には読出用増幅器7の電流供給負荷回路8と出力ノードのみが接続される。第2の部分にはメモリセルアレイの複数のビット線対に設けられた駆動回路9が共通に結合される。

【効果】 トランジスタQ20およびQ21により第1の部分と第2の部分の容量が分離され、出力ノードに付随する寄生容量が低減され、読出動作を高速に実現することができる。また、トランジスタQ20およびQ21により第2の部分の論理振幅が制限され、第2の部分に付随するゲート容量の充放電電流を低減することができ、低消費電流化が実現される。



相対

**【特許請求の範囲】**

**【請求項1】** 行および列からなるマトリクス状に配列された複数のメモリセルを含むメモリセルアレイ、各々に前記メモリセルアレイの対応の列のメモリセルが接続される複数のビット線対、前記メモリセルアレイの選択されたメモリセルへの書込データを伝達するための書込データ線、前記書込データ線と別に設けられ、出力ノードを含む第1の部分と第2の部分とを有し、かつ前記メモリセルアレイの選択されたメモリセルから読出されたデータを受け取るための読出データ線、データ読出時、選択されたビット線対の電位を増幅し、前記読出データ線へ伝達する読出増幅手段、前記読出増幅手段は、前記読出データ線の前記第1の部分に設けられ、前記読出データ線へ電流を供給する負荷回路と、各前記ビット線対に設けられ、列選択信号にตอบสนองして活性化され対応のビット線対の電位を差動的に増幅し、該増幅した信号を前記読出データ線の前記第2の部分へ伝達する駆動回路とを含み、前記読出データ線の前記第1の部分と前記第2の部分とを電気的に接続しかつ前記第1の部分の容量と前記第2の部分の容量とを分離する容量分離手段を備える、半導体記憶装置。

**【請求項2】** 行および列からなるマトリクス状に配列された複数のメモリセルを含むメモリセルアレイ、前記メモリセルアレイは、各々が複数の列を有する複数のグループに分割され、前記メモリセルアレイの各列に対応して設けられ、各々に対応の列のメモリセルが接続される複数のビット線対、前記メモリセルアレイの選択されたメモリセルへの書込データを伝達するための書込データ線、前記書込データ線と別に前記メモリセルアレイの各前記グループに対して設けられ、データ読出時に、選択されたメモリセルデータが伝達される副読出線、前記副読出線に共通に設けられる主読出線、グループ選択信号にตอบสนองして、選択された列グループに対応して設けられた副読出線を前記主読出線へ接続する接続手段、前記接続手段は前記主読出線と対応の副読出線とを容量的に分離する容量分離手段を含み、データ読出時に、列選択信号にตอบสนองして活性化され対応の列上の電位を差動的に増幅し、対応の副読出線へ伝達する増幅手段を含む、半導体記憶装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は半導体記憶装置に関し、特に、高速読出動作を実現することのできる半導体記憶装置の構成に関する。より具体的には、この発明はデータ読出線とデータ書込線とが別々に設けられたI/O分離型半導体記憶装置の改良に関する。

**【0002】**

**【従来の技術】** 近年、半導体記憶装置を高速動作させるために様々な構造が提案されている。このような高速動作化の試みの1つに、読出データを伝達する読出データ線と書込データを伝達する書込データ線とを別々に設けた構造がある。このような半導体記憶装置はI/O分離型半導体記憶装置と呼ばれる。I/O分離型半導体記憶装置においては、データ読出時には、ラッチ型センスアンプの動作前に読出専用の増幅手段を駆動して選択メモリセルのデータを読出データ線へ伝達する。これにより、ワード線選択後すぐにデータを読出すことが可能となる。

**【0003】** 図7は従来のI/O分離型半導体記憶装置のメモリセルアレイおよび関連の周辺回路の構成を示す図である。この図7に示すI/O分離型半導体記憶装置の構成は、たとえば、特開平1-169798号公報に示されている。図7においては、メモリセルアレイの1列のメモリセルに関連する1対のビット線BL、 $\overline{BL}$ の構造が代表的に例示される。

**【0004】** 図7において、ビット線BLとビット線 $\overline{BL}$ とは折返しビット線構造を構成する。ワード線WLとビット線BLとの交差部に対応する位置にメモリセル1が設けられる。メモリセル1は、情報を記憶する容量C0と、ワード線WL上の信号電位にตอบสนองしてオン状態となり、この容量C0をビット線BLに接続する転送ゲートQ0を備える。

**【0005】** ビット線対BL、 $\overline{BL}$ に対しては、信号線41上に与えられるセンスアンプ駆動信号にตอบสนองして動作し、ビット線対BL、 $\overline{BL}$ のうち低電位のビット線の電位を接地電位レベルへ放電するN型センスアンプ2と、信号線51上に与えられるセンスアンプ駆動信号にตอบสนองして動作し、ビット線対BL、 $\overline{BL}$ のうち高電位のビット線の電位を電源電位Vccレベルへ昇圧するP型センスアンプ3と、ビット線対BL、 $\overline{BL}$ の電位を所定電位にプリチャージしかつイコライズするためのプリチャージ/イコライズ回路6が設けられる。

**【0006】** N型センスアンプ2は交差結合されたnチャネルMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）Q1およびQ2を含む。トランジスタQ1はそのソースが信号線41に接続され、そのゲートがビット線BLに接続され、そのドレインがビット線 $\overline{BL}$ に接続される。トランジスタQ2はそのソースが信号線41に接続され、そのゲートがビット線 $\overline{BL}$ に接続され、そのドレインがビット線BLに接続される。

**【0007】** P型センスアンプ3は交差結合されたpチャネルMOSトランジスタQ3およびQ4を含む。トランジスタQ3はそのソースが信号線51に接続され、そのゲートがビット線BLに接続され、そのドレインがビット線 $\overline{BL}$ に接続される。トランジスタQ4はそのソースが信号線51に接続され、そのゲートがビット線 $\overline{BL}$ に接続される。

BLに接続され、そのドレインがビット線BLに接続される。

【0008】プリチャージ/イコライズ回路6は、イコライズ信号EQにตอบสนองしてビット線BLとビット線/B Lとを電氣的に短絡するイコライズトランジスタQ7と、イコライズ信号EQにตอบสนองしてビット線BL、/BLへそれぞれ所定のプリチャージ電位VBLを伝達するプリチャージトランジスタQ8およびQ9を含む。トランジスタQ7、Q8およびQ9はそれぞれnチャネルMOSトランジスタにより構成される。

【0009】N型センスアンプ2を駆動するためのセンスアンプ駆動信号は、センスアンプ活性化信号S0にตอบสนองして信号線41を接地電位に接続するnチャネルMOSトランジスタQ5からなるN型センスアンプ活性化回路4により発生される。P型センスアンプ3を駆動するためのセンスアンプ駆動信号は、相補センスアンプ活性化信号/S0にตอบสนองして信号線51を電源電位Vccへ接続するpチャネルMOSトランジスタQ6からなるP型センスアンプ活性化回路5により発生される。

【0010】ビット線対BL、/BLに対してさらに、データの書込みおよび読出しを行なうために、図示しないコラムデコーダから出力される列選択信号Yiにตอบสนองして導通状態となるnチャネルMOSトランジスタQ10、Q11と、書込指示信号Wにตอบสนองしてオン状態となるnチャネルMOSトランジスタQ12およびQ13と、データ読出し時に列選択信号Yiにตอบสนองして活性化され、ビット線BL、/BLの電位を差動的に増幅するカレントミラー型センスアンプ7が設けられる。

【0011】トランジスタQ10~Q13はデータ書込時において列選択信号Yiにより選択されたときこのビット線BLおよび/B Lを書込データを伝達する書込専用データ線WIおよび/W Iへそれぞれ接続する。

【0012】カレントミラー型センスアンプ7は読出データを伝達する読出専用データ線対RI、/RIを内部ノードとし、この読出専用データ線対RI、/RIへ電流を供給する負荷回路7aと、ビット線対BL、/BLに設けられ、このビット線対BL、/BLの電位を差動的に増幅して読出専用データ線対RI、/RIへ伝達する駆動回路7bを含む。

【0013】負荷回路7aは、電源電位Vccと読出専用データ線RIとの間に設けられるpチャネルMOSトランジスタQ14と、電源電位Vccと読出専用データ線/R Iとの間に設けられるpチャネルMOSトランジスタQ15を含む。読出専用データ線/R IのノードNO2の電位はトランジスタQ14およびQ15のゲートへフィードバックされる。読出専用データ線RIのノードNO1からたとえばブリアンプなどの次段回路へ読出データが伝達される。この負荷回路7aはカレントミラー回路を構成しており、読出専用データ線RIおよび/R Iへ同一量の電流を供給する。

【0014】駆動回路7bは、ビット線BLにそのゲートが接続されるnチャネルMOSトランジスタQ16と、そのゲートがビット線/B Lに接続されるnチャネルMOSトランジスタQ17と、列選択信号YiにตอบสนองしてトランジスタQ16およびQ17のそれぞれ的一方導通端子を接地電位へ接続するnチャネルMOSトランジスタQ18およびQ19を含む。トランジスタQ16およびQ17の他方導通端子はそれぞれ読出専用データ線/R IおよびRIへ接続される。図7において破線のブロックで示す各ビット線対に対して、このビット線BL、/BLに対して示したものと同様の構成が設けられており、各ビット線対に設けられた駆動回路7bは共通に読出専用データ線対RI、/RIへ結合される。

【0015】この図7に示す構成においては、データ読出しとデータ書込みとが別々の経路を介して行なわれる。すなわち、データ書込みは、書込専用データ線対WI、/WIとトランジスタQ10~Q13を介して行なわれ、一方、データ読出しは駆動回路7b、読出専用データ線対RI、/RIおよび負荷回路7aを介して行なわれる。次に、この図7に示す半導体記憶装置の動作をその動作波形図である図8を参照して説明する。図8において図7に示すものと同じ符号は対応の信号の波形を示している。

【0016】まず読出動作について説明する。ここでは、一例として、メモリセル1が情報“1”を記憶している場合の動作について説明する。最初、書込指示信号Wはローレベルにあり、トランジスタQ12およびQ13はオフ状態にあり、書込専用データ線対WI、/WIは各ビット線対と切離されている。

【0017】時刻T1以前においては、イコライズ信号EQがハイレベルにあり、プリチャージ/イコライズ回路のトランジスタQ7~Q9はすべてオン状態にある。これにより、ビット線BLおよび/B Lはそれぞれ所定のプリチャージ電位VBLにプリチャージされかつイコライズされている。

【0018】一方において、読出専用データ線対RI、/RIもそれぞれ負荷回路7aにより所定の安定電位(Vcc-Vthp)で安定状態にある。ここで、Vccは動作電源電位を示し、VthpはトランジスタQ14およびQ15のしきい値電圧を示す。

【0019】時刻T1において、イコライズ信号EQがハイレベルからローレベルに低下すると、プリチャージ/イコライズ回路6に含まれるトランジスタQ7~Q9がすべてオフ状態となり、各ビット線BLおよび/B Lはともにプリチャージ電位でフローティング状態となる。

【0020】時刻T2において、外部から与えられるアドレス信号にตอบสนองして、図示しないワード線選択回路(ロウデコーダ等)により1本のワード線WLが選択される。この選択ワード線WLの電位がローレベルからハ

イレベルへ移行すると、メモリセル1の転送ゲートトランジスタQ0がオン状態となる。今、メモリセル1が情報“1”を記憶しているため、図8において実線で示すようにビット線BLの電位がわずかに上昇する。他方のビット線／BLにはメモリセルは接続されていないためプリチャージ電位を保持する。

【0021】時刻T3において、外部アドレス信号に従ってコラムデコーダ（図示せず）等により列選択信号が行なわれ、列選択信号Yiがローレベルからハイレベルへ立上がる。この列選択信号YiにตอบสนองしてトランジスタQ18およびQ19がオン状態となる。これにより、トランジスタQ14～Q19からなるカレントミラー型増幅器7が活性化される。すなわち、時刻T2においてワード線WLの電位がローレベルからハイレベルになり、ビット線BL上の信号電位がわずかに上昇すると、時刻T3においてカレントミラー型増幅器7が活性化される。

【0022】ビット線BLの電位はビット線／BLの電位よりも少し高く、これによりトランジスタQ16のコンダクタンスはトランジスタQ17のコンダクタンスよりも大きくなる。負荷回路7aのトランジスタQ14およびQ15は読出専用データ線RI、／RIへ同一量の電流を供給している。トランジスタQ16およびQ18からなる放電経路はトランジスタQ17およびQ19からなる放電経路よりも高速で電流を接地電位へ流す。これにより、読出専用データ線／RIの電位が読出専用データ線RIの電位よりも高速で立下がる。すなわち、このカレントミラー型増幅器7により、ビット線BLとビット線／BLとの間の微小電位差が高速で増幅され読出専用データ線／RIおよびRIへ伝達される。この読出専用データ線RIおよび／RIの電位はノードNO1を介して次段のプリアンプなどの増幅器の入力等へ伝達される。

【0023】この後、時刻T4において、センスアンプ活性化信号S0、／S0がそれぞれ活性状態のハイレベルおよびローレベルへ移行し、トランジスタQ5およびQ6をオン状態とする。これにより信号線41および51にN型センスアンプ駆動信号およびP型センスアンプ駆動信号が発生され、N型センスアンプ2およびP型センスアンプ3が活性化される。

【0024】このセンスアンプ2および3のセンス動作により、ビット線BLおよび／BL上の信号電位差がさらに増幅される。すなわち、ビット線BLの電位が電源電位Vccレベルまで昇圧され、一方、ビット線／BLの電位が接地電位レベルのローレベルへ低下される。データ読出時においては、このセンスアンプ2および3による増幅動作は、読出情報をメモリセル1へ再書き込みするリストア動作のために実行される。

【0025】時刻T6において、選択されたワード線WLの電位および列選択信号Yiがハイレベルからローレ

ベルへ移行すると、トランジスタQ18およびQ19がオフ状態となり、カレントミラー型増幅器7が不活性状態となる。これにより、読出専用データ線RIおよび／RIはそれぞれトランジスタQ14およびQ15を介して充電され、所定の安定電位（ $V_{cc} - |V_{thp}|$ ）に復帰する。

【0026】時刻T7において、センスアンプ活性化信号S0および／S0がともに不活性状態へ移行し、さらにイコライズ信号EQがハイレベルへ立上がると、ビット線BLおよび／BLのプリチャージおよびイコライズが実行され、1つのメモリサイクルが終了する。

【0027】選択されたメモリセル1が情報“0”を有している場合においては、この選択メモリセル1の記憶情報“0”がビット線BLへ伝達される。この場合は、図8において一点鎖線で示す電位変化がビット線BLにおいて生じ、読出専用データ線RIの電位がローレベル、読出専用データ線／RIの電位がハイレベルとなる。

【0028】次にデータ書込動作について簡単に説明する。この場合、データ書込回路（図示せず）から外部書込データに従って生成された相補内部データ（たとえばDIN、／DIN）が書込専用データ線WI、／WIへ伝達される。この書込動作においては、書込指示信号Wはハイレベルであるため、トランジスタQ12およびQ13はオン状態である。

【0029】時刻T5において図示しないコラムデコーダによる列選択動作に従って列選択信号Yiが発生され、選択されたビット線対が書込専用データ線WI、／WIへ接続される。この時刻T5以前においてはセンスアンプ2および3によるセンス動作は完了しており、選択されたビット線対の電位は書込専用データ線WIおよび／WIへ伝達された内部書込データに対応する電位となる。

【0030】ここで、図8に示す波形図においては、データ書込時において列選択信号Yiが時刻T5においてハイレベルへ移行するように示されている。このようなデータ書込時とデータ読出時における列選択信号Yiの活性状態への移行タイミングのシフトは、書込指示信号Wとコラムアドレスストロブ信号／CAS（外部アドレス信号を列アドレスとして取込むタイミングを与える信号）との組み合わせにより実現される。すなわち書込指示信号Wがデータ書込動作を示しているときにはこのコラムアドレスストロブ信号／CASの活性状態への移行が所定時間遅延され、これにより列選択動作がデータ書込時において所定時間遅延される。

【0031】

【発明が解決しようとする課題】上述のように、読出専用データ線と書込専用データ線とを別々に設けることにより、データ読出時においてワード線選択直後にデータを読出すことができ、データ読出動作を高速化すること

ができる。

【0032】しかしながら、読出専用データ線はカレントミラー型増幅器の内部ノードを構成しており、各ビット線対に対して設けられた駆動回路7bが共通に接続される。したがって、読出専用データ線には数多くのゲート容量（ビット線容量を含む）が接続されることになり、カレントミラー型増幅器の負荷容量が大きくなる。読出データは図7のノードNO1から出力されるが、この読出データは読出専用データ線を放電することにより得られる。したがって、上述のように読出専用データ線に付随するゲート容量が大きくなると、高速で読出専用データ線を放電することができなくなる。このため、列選択信号が活性化された後、読出専用データ線に十分な電位振幅（ハイレベルデータとローレベルデータの間の振幅）が生じるまでの遅延時間が大きくなり、高速でデータを読出すことが困難になるという問題が生じる。

【0033】また、この読出専用データ線に付随するゲート容量が負荷回路（カレントミラー回路）からの電流により充放電される。したがって、このゲート容量が大きくなると、カレントミラー型増幅器の消費電流が大きくなるという問題も生じる。

【0034】それゆえ、この発明の目的は、より高速でデータを読出すことができるとともによりデータ読出用増幅器の消費電流を低減することのできる半導体記憶装置を提供することである。

【0035】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、読出専用データ線を、データ読出用増幅器の電流供給用負荷回路と出力ノードとが接続される第1の部分と、各ビット線対に設けられた駆動回路が共通に結合される第2の部分とに分割し、この第1の部分と第2の部分とを電氣的に接続しかつ第1の部分の容量と第2の部分の容量とを分離する容量分離手段を設けたものである。

【0036】請求項2の半導体記憶装置は、メモリセルアレイを、各々が複数の列を含む列グループに分割し、かつ読出専用データ線を、各グループに対応して設けられる副読出データ線と、副読出データ線が共通に結合される主読出データ線とからなる階層構造とするとともに、各副読出データ線と主読出データ線との間に、グループ選択信号にตอบสนองして選択グループに対応する副読出データ線と主読出データ線とを両者の容量を分離しつつ電氣的に接続する手段を設けたものである。

【0037】各副読出データ線には対応の列グループの各駆動回路が共通に結合される。主読出データ線には、読出用増幅器の電流供給用負荷回路と出力ノードとが接続される。

【0038】

【作用】この請求項1の発明において、容量分離手段は、第1の部分と第2の部分との容量を分離し、出力ノードに付随する負荷容量を低減し、これにより出力ノードの充放電を高速で行なわせ、データ読出時の応答速度を改善する。この容量分離手段は、容量分離により、第2の部分の充電電位を低下させ、それにより読出専用データ線の充放電電流を低減する。

【0039】請求項2の半導体記憶装置においては、主読出データ線には1つのグループの副読出データ線が接続されるとともに、この両者の容量が分離されているため、出力ノードに生じる負荷容量が低減され、より応答速度が速くなる。また、この容量分離手段により副読出データ線の充放電電位が制限を受け、負荷回路における充放電電流が低減される。またこの充放電は1つのグループに設けられた副読出データ線に対して実行されるだけであり、より充放電電流が低減される。

【0040】

【実施例】以下、この発明の一実施例について図面を参照して説明する。以下の説明において、図7に示す従来の半導体記憶装置と同一または相当部分には同一の参照番号を付し、その詳細説明は省略する。

【0041】図1は、この発明の一実施例である半導体記憶装置の主要部の構成を概略的に示す図である。この図1において、1対のビット線BL、 $\overline{BL}$ が代表的に示される。

【0042】図1において、この読出増幅手段としてのカレントミラー型増幅器7は、読出専用データ線RI、 $\overline{RI}$ へ電流を供給するための電流負荷回路8と、各ビット線対に設けられ、対応のビット線の電位を増幅する駆動回路9とを含む。この電流供給用負荷回路8は、選択メモリセルのデータを次段のプリアンプなどの増幅器等へ伝達するための出力ノードNO1を含む。カレントミラー型増幅器の駆動回路9は各ビット線対に設けられており、この読出専用データ線RI、 $\overline{RI}$ の第2の部分10（ノードNOA、NOB）に共通に結合される。読出専用データ線RI、 $\overline{RI}$ の第1の部分は負荷回路8に含まれる。

【0043】この発明による半導体記憶装置はさらに、読出専用データ線RI、 $\overline{RI}$ の第1および第2の部分の間に、両者を容量的に分離しかつ電氣的に接続する容量分離手段を備える。この容量分離手段は、読出専用データ線RIに接続される負荷トランジスタQ14と駆動トランジスタQ17との間に設けられるnチャネルMOSトランジスタQ20と、読出専用データ線 $\overline{RI}$ に接続される負荷トランジスタQ15と駆動トランジスタQ16との間に設けられるnチャネルMOSトランジスタQ21とを含む。トランジスタQ20およびQ21のゲートへはたとえば $V_{cc}/2$ または $V_{cc}/2 + V_{th}$ である基準電位Vref（定電圧）が与えられる。

【0044】このトランジスタQ20およびQ21を設けることにより、読出専用データ線対RI、 $\overline{RI}$ は第1および第2の部分に分割される。以下の説明では、こ

の第1および第2の部分それぞれノードで代表する。データ線RIは、この読出専用データ線RIに接続されたトランジスタQ20から負荷トランジスタQ14との間におけるノードNO1と、トランジスタQ20からトランジスタQ17側のノードNOAの2つのノードを備える。

【0045】同様に、読出専用データ線RIも、この読出専用データ線RIに接続されたトランジスタQ21より負荷トランジスタQ15側のノードNO2と、このトランジスタQ21から駆動トランジスタQ16側のノードNOBとの2つのノードに分割される。

【0046】トランジスタQ20およびQ21はそれぞれ読出専用データ線RIおよびRIのノードNO1およびNO2に極めて近い位置に設けられる。すなわち、このトランジスタQ20およびQ21を設けることにより形成されたノードNO1およびNO2は、このカレントミラー型増幅器7を構成する負荷回路8に含まれる負荷トランジスタQ14およびQ15の極めて近い位置に設けられる。

【0047】言換えると、読出専用データ線RIにおいてはこのトランジスタQ20と負荷トランジスタQ14との間の配線長はできるだけ短くされ、同様に、読出専用データ線RIにおいても、このトランジスタQ21と負荷トランジスタQ15との間の配線長はできるだけ短くされる。ノードNO1は信号出力ノードを与え、次段の増幅器の入力等へ接続される。次に、この図1に示す半導体記憶装置の動作についてその読出時の動作を示す信号波形図である図2を参照して説明する。図2において、図1に示す符号と同一の符号は対応する部分の信号電位の変化を示す。

【0048】図2においては、メモリセル1が情報“1”を記憶しており、このメモリセル1の記憶情報が読出す場合に現われる信号波形が示される。

【0049】読出動作開始から時刻T3に至るまでの動作は、図7および図8に示す従来の半導体記憶装置の動作と同様である。

【0050】時刻T3以前までは、ノードNO1およびNO2の電位は電源電位Vccよりも負荷トランジスタQ14およびQ15のしきい値電圧Vthpの絶対値だけ低い電圧Vcc-Vthpで安定している。

【0051】またノードNOAおよびNOBの電位は、トランジスタQ20およびQ21のゲート電圧Vrefよりも、これらのトランジスタQ20およびQ21のしきい値電圧Vthnだけ低い電位Vref-Vthnで安定している。

【0052】時刻T3において、外部アドレス信号に応答して、図示しないコラムデコーダから列選択信号Yiが発生される。この列選択信号Yiがローレベルからハイレベルへ立上ると、トランジスタQ18およびQ19がオン状態となり、トランジスタQ14～Q19から

なるカレントミラー型増幅器7が活性化される。すなわち、ビット線BLおよびBL上に現われた微少電位差を増幅するべく、読出専用データ線RI上の各ノードNOBおよびNO2の電位が接地電位に向かって放電される。このとき、ノードNOBの電位は、従来の半導体記憶装置と同様読出専用データ線RIに接続されるゲート容量が大きいため、このゲート容量の充電電荷による遅延のためその放電速度は緩やかである。

【0053】一方、ノードNO2は、トランジスタQ21が設けられていることにより、ノードNOBに接続されているゲート容量から分離されており、これらのゲート容量の充電電荷による応答速度の遅延を回避することが可能となる。すなわち、ノードNO2の立下りが急峻なものとなる。特に、ノードNO2の電位はVcc-Vthpであり、ノードNOBのプリチャージ電位はVref-Vthnであり、ノードNO2の電位はノードNOBの電位よりも大きいため、高速でノードNO2の電位はノードNOBの電位に向かって立下がる。このノードNO2の電位は負荷トランジスタQ14のゲートへフィードバックされている。

【0054】ノードNO1は次段の増幅器の入力等に接続されている。選択メモリセル1の記憶情報が“1”の場合、ノードNO1の電位はVcc-Vthpで高速に安定化する。一方、選択メモリセルが情報“0”を記憶している場合、ノードNO1の電位が高速で立下がる。このため、ノードNO1の応答速度が高速化されるため、より高速で次段の増幅器の入力等へ十分な振幅（ハイ、ロー判定基準に対して）のデータを伝達することが可能となり、高速でデータを読出すことに対して極めて有効である。

【0055】時刻T3'において、ノードNO2の電位はノードNOBの電位と等電位となる。この場合、トランジスタQ21を介してノードNO2の放電速度はこのノードNOBの放電速度に律速され、ノードNO2はノードNOBと同じ速度で電位降下する。ノードNO2およびNOBの電位は所定のある中間電位VLまで低下する。このローレベルを与える中間電位VLの電位は、負荷トランジスタQ15の電流供給能力と、トランジスタQ16およびQ18からなる放電経路の放電能力とにより決定される。

【0056】ここで、ノードNO2の電位とノードNOBの電位が等しくなる時刻T3'、すなわち、ノードNO2とノードNOBの電位降下速度が等しくなる時刻T3'においては、ノードNO1とノードNO2との間に既に十分な電位差が生じている。この電位差は次段の増幅器の増幅動作が高速かつ確実に行なわれるのに十分な電位差である。

【0057】時刻T4以降の動作は図8に示す従来の半導体記憶装置の動作波形図に示されるものと同様である。

【0058】このトランジスタQ20およびQ21の動作をより詳細に説明する。図3は図2に示す時刻T3付近の信号波形の拡大図であり、図3(A)に本発明の半導体記憶装置における出力ノードの電位変化を、図3

(B)に従来の半導体記憶装置の出力ノードの電位変化を示す。以下の説明において、動作電源電位を $V_{cc}$ 、負荷トランジスタQ14およびQ15に相当するpチャネルMOSトランジスタのしきい値電圧を $V_{thp}$ 、容量分離用のトランジスタQ20およびQ21に相当するnチャネルMOSトランジスタのしきい値電圧を $V_{thn}$ 、およびトランジスタQ20およびQ21のゲートへ与えられる電圧を $V_{ref}$ とする。

【0059】時刻T3以前においては、ノードNO2およびNOBはそれぞれ所定の安定電位すなわち、ノードNO2が $V_{cc} - |V_{thp}|$ 、ノードNOBが電位 $V_{ref} - |V_{thn}|$ で安定している。

【0060】時刻T3においてカレントミラー型増幅器7が活性化されると、この図3(A)に示すように、本実施例の半導体記憶装置におけるノードNO2およびノードNOBの電位は接地電位へ降下する。

【0061】同様に、図3(B)に示す従来の半導体記憶装置におけるノードRI(すなわちNO2=NOB; 読出専用データ線)も接地電位へ電位が降下する。このとき、本実施例の半導体記憶装置におけるノードNO2は、前述の理由により、その立下がりが高速度で行なわれており、時刻T3'においてノードNO2の電位降下は $\Delta V$ である。

【0062】一方、図3(B)に示す従来の半導体記憶装置においては、その大きなゲート容量のため時刻T3'において電位差は $\Delta v$ しか生じていない。従来の半導体記憶装置においてそのノード/RIに電位差 $\Delta v$ が生じるのを時刻T3'から時間 $\Delta T$ 経過した時刻T3''においてである。すなわち、本発明の実施例による半導体記憶装置においては従来装置に比べて時間 $\Delta T$ だけ応答速度が改善される。このノードNO2に生じる電圧降下 $\Delta V$ は次段の増幅器の増幅感度が十分良好な感度を確保できる電位差である(すなわち、データ“1”および“0”を誤動作することなく確実に増幅することができる電位差)。

【0063】時刻T3'において本実施例の半導体記憶装置においてノードNO2の電位とノードNOBの電位が等しくなった後は、このノードNO2の電位降下はノードNOBの電位降下速度に律速され、以下両ノードは同一の電圧降下速度で所定の中間電位 $V_L$ まで低下する。

【0064】また図3(A)に示す本実施例におけるノードNOBの電位振幅VDは、図3(B)に示す読出専用データ線/RIの電位振幅V1に比べて小さい。

【0065】本実施例におけるノードNOAおよびNOBには、従来装置の読出専用データ線RIおよび/RI

と同様多くのゲート容量が接続されている。本実施例において、トランジスタQ20およびQ21を設けることにより、この読出専用データ線のハイレベル(プリチャージレベル)を $V_{cc} - |V_{thp}|$ から $V_{ref} - |V_{thn}|$ まで低下させることができる。すなわち、この読出専用データ線の第2の部分(ノードNOAおよびNOB)における論理振幅をV1からVDに制限することが可能となる。この論理振幅を制限することにより、ノードNOAおよびNOBに付随するゲート容量の充放電電流(プリチャージ時における充電およびデータ読出時における放電)を減少させることができ、低消費電流で動作をするカレントミラー型増幅器を得ることができる。

【0066】図4はこの発明の他の実施例である半導体記憶装置の要部の構成を概略的に示す図である。この図4において図1に示す半導体記憶装置の構成と対応する部分には同一の参照番号を付している。

【0067】図4において、メモリセルアレイは各々が複数の列を含む列グループすなわちブロック#1、ブロック#2、…ブロック#nに分割される。各列グループに対して副読出データ線対RDk, /RDk( $k=1, 2, \dots, n$ )が設けられる。この読出専用副データ線対RDk, /RDkはそれぞれブロック選択信号(列グループ選択信号BSk)に応答して対応の読出専用副データ線対RDk, /RDkを読出専用主データ線対RI, /RIへ接続するグループ選択接続回路30-kが設けられる。この接続回路30-kはそれぞれ読出専用副データ線RDkと読出専用主データ線RIとの間に設けられるnチャネルMOSトランジスタ(Q20, Q22, …, Q24)と、副データ線/RDkと主データ線/RIとの間に設けられるnチャネルMOSトランジスタ(Q21, Q23, …, Q25)を含む。

【0068】ブロック選択信号BSkのハイレベルはある中間電位 $V_{ref}$ であり、そのローレベルは接地電位の0Vレベルである。ブロック選択信号BSkの電位振幅が $V_{ref} \sim 0V$ であるため、この接続回路30-1 $\sim$ 30-nに含まれるトランジスタは図1に示す容量分離用のトランジスタQ20およびQ21と同様の機能を実現する。

【0069】上述の構成では、読出専用データ線が、第1の部分構成する読出専用主データ線対RI, /RIと、第2の部分構成する読出専用副データ線対RDk, /RDkとに分割される。この場合、主データ線対RI, /RIには選択された1つの列グループに接続される副データ線対のみが接続されるため、カレントミラー型増幅器(負荷回路8および駆動回路9からなる)はより低消費電流で動作することができる。このときまた副データ線対には1つの列ブロックのゲート容量のみが付随するため、従来の装置に比べてより高速で副データ線対を充放電することができ、高速動作をも実現することができる。



【0070】上述のように、読出専用主データ線対 $R I$ 、 $/R I$ と読出専用副データ線対 $R D k$ 、 $/R D k$ との間にブロック選択スイッチとしても機能する論理振幅制限用のトランジスタからなる接続回路を設けることにより、より高速かつ低消費電流で動作するカレントミラー型増幅器を実現することができる。

【0071】図5は、図4に示す半導体記憶装置の代表的な動作を示す信号波形図である。図5において図4に示す信号と同一の符号が付された波形は対応の信号波形を示している。以下図4および図5を参照して簡単にこの図4に示す半導体記憶装置の動作について説明する。

【0072】時刻 $T 1$ 以前から時刻 $T 3$ までの動作は図1および図2に示す半導体記憶装置のものと同様である。

【0073】時刻 $T 3$ においてたとえばブロック#1が選択されたとする。このブロック#1に設けられた接続回路30-1に含まれるトランジスタ $Q 2 0$ および $Q 2 1$ のゲートにブロック選択信号 $B S 1$ が与えられる。すなわち、トランジスタ $Q 2 0$ および $Q 2 1$ のゲートへ基準電圧 $V r e f$ が印加される。

【0074】同時に、時刻 $T 3$ において列選択信号 $Y i$ が駆動回路のトランジスタ $Q 1 8$ および $Q 1 9$ のゲートへ与えられる。したがって、時刻 $T 3$ においてカレントミラー型増幅器7が直ちに活性化され、ビット線 $B L$ および $/B L$ に生じた電位差が増幅される。

【0075】このとき、図1に示す半導体記憶装置と同様、読出専用副データ線対 $R D 1$ 、 $/R D 1$ （他のブロックが選択された場合においては対応の読出専用副データ線対）においては、選択接続回路30-1に含まれるトランジスタ $Q 2 0$ 、 $Q 2 1$ により、読出専用データ線が2つのノードすなわち読出専用主データ線対部分（ノード $N O 1$ 、 $N O 2$ の部分）と読出専用副データ線対部分（ノード $N O A$ および $N O B$ の部分）とに分割される。これにより、ノード $N O 1$ または $N O 2$ はその電位が $V c c - |V t h p|$ のハイレベルから所定の中間電位 $V L$ へ高速で低下する。一方ノード $N O A$ および $N O B$ の電位はプリチャージ電位 $V r e f - V t h n$ から中間電位 $V L$ とその電位振幅が制限される。これにより、図1に示す半導体記憶装置と同様、次段に対するデータ出力の応答速度が高速化されかつ低消費電流による読出動作が実現される。

【0076】時刻 $T 6$ において、列選択信号 $Y i$ がハイレベルからローレベルへ降下し、カレントミラー型増幅器（負荷回路8および駆動回路9）が非活性化するとともに、ブロック選択信号 $B S 1$ がハイレベル（ $V r e f$ ）からローレベルへ降下する。これによりブロック#1が非選択状態となる。この図5に示す信号波形図においてはブロック選択信号 $B S 1$ は列選択信号 $Y i$ と同期して発生されている。この場合、駆動回路9を非活性化状態とした後、読出専用副データ線 $R D 1$ 、 $/R D 1$ を確

実に所定電位にプリチャージするためにブロック選択信号 $B S 1$ の降下タイミングはこの列選択信号 $Y i$ の降下タイミングよりも遅らされてもよい。

【0077】またこれに代えて、各副読出データ線対には図1に示す容量分離用のトランジスタと同様の基準電位 $V r e f$ をプリチャージ/イコライズ信号として受けるプリチャージ/イコライズ手段が設けられていてもよい。

【0078】この時刻 $T 6$ 以降の動作は図1および図2に示す半導体記憶装置のものと同様である。

【0079】ブロック選択信号 $B S k$ の発生のためには、メモリセルアレイの列グループへの分割数に応じた数の列アドレスの下位ビットが利用される。

【0080】またこの図1および図4に示す半導体記憶装置の構成においてはデータの入出力が1ビット単位で実行されている。このメモリセルアレイを複数プレーン設ければ、複数ビットのデータ入出力を実行することができる。

【0081】図6は、この発明のさらに他の実施例である半導体記憶装置の要部の構成を示す図である。この図6に示す構成はカレントミラー型増幅器7の負荷回路8の変更例を示す。図1および図4に示すカレントミラー型増幅器の負荷回路8においては、一方の負荷トランジスタのゲートと一方導通端子とが接続されている。この構成の場合、出力ノード $N O 1$ とノード $N O 2$ に付随するゲート容量が異なる。すなわち、出力ノード $N O 1$ には、トランジスタ $Q 1 4$ のゲート容量が付随し、一方ノード $N O 2$ においては、トランジスタ $Q 1 5$ のゲート容量のみならずトランジスタ $Q 1 4$ のゲート容量も付随する。このためノード $N O 1$ とノード $N O 2$ のハイレベル/ローレベルへの変化特性を同一とすることが難しくなる。このため、図1および図4に示す構成においては読出データは一方のノード $N O 1$ から取出されている。データを確実に読出するためには、相補内部データを発生するのが望ましい。図6に示す構成はこの相補内部データを確実に生成するための構成を与える。

【0082】図6（A）においてカレントミラー型増幅器7の負荷回路8は、ノード $N O 1$ と電源電位 $V c c$ との間に並列に接続されるpチャネルMOSトランジスタ $Q 1$ および $Q 5 2$ と、ノード $N O 2$ と電源電位 $V c c$ の間に並列に接続されるpチャネルMOSトランジスタ $Q 5 3$ および $Q 5 4$ を含む。トランジスタ $Q 5 4$ のゲートはノード $N O 1$ へ接続されかつトランジスタ $Q 5 4$ のゲートへ接続される。トランジスタ $Q 5 3$ のゲートはトランジスタ $Q 5 2$ のゲートとノード $N O 2$ に接続される。この場合、負荷回路は8は対称的な構造を備えており、ノード $N O 1$ および $N O 2$ に付随する寄生容量は同一となり、相補内部データを確実に生成することができる。次にその動作について説明する。

【0083】図6（B）は図6（A）に示す負荷回路を



別の表わし方をしたものである。この図6 (B) においては、トランジスタQ53およびQ54の位置が入れ替わられており、トランジスタQ52とトランジスタQ54が交差結合されたフリップ・フロップ型ラッチ回路を構成しているのがよく理解できる。トランジスタQ51およびQ53はそれぞれダイオードとして機能し、ノードNO1およびNO2の電位を $V_{cc} - V_{thp}$ に設定する。以下、図6 (B) を参照してこの負荷回路8の動作について説明する。

【0084】今、ビット線BLに情報“1”、すなわち電位“H”が伝達された場合について説明する。ビット線BLに情報“1”が読出されて列選択信号Yiがローレベルからハイレベルに立上ることにより、トランジスタQ30がオン状態となり、カレントミラー型増幅器が活性化される。ビット線BLに情報“1”が読出されることにより、このビット線BLの電位をそのゲートに受けるトランジスタQ16は、ビット線/BLの電位をそのゲートに受けるトランジスタQ17よりも少し強くオン状態となる（そのコンダクタンスが大きくなる）。これにより、トランジスタQ30を介しての接地電位への電位低下は、ノードNO1に比べノードNO2の方が大きくなる。すなわち、ノードNO2の電位はノードNO1に比べより高速で降下する。これに回答して、ノッチNO2の電位をそのゲートに受けるpチャネルMOSトランジスタQ52が、ノードNO1の電位をそのゲートに受けるトランジスタQ54に比べ強くオン状態となる。このとき、ノードNO1は、ノードNO2に比べより強く電源電位 $V_{cc}$ へプルアップされる。このようにして、ノードNO1およびNO2の電位は、ノードNO1の電位>ノードNO2の電位となる。このノードNO1およびNO2の電位はそれぞれトランジスタQ54およびQ52のゲートへ与えられる。これによりノードNO1およびNO2の電位変化に対するフィードバックが生じ、トランジスタQ54はオフ状態、トランジスタQ52はオン状態へ移行する。以上の動作により、ノードNO1の電位はハイレベル、ノードNO2の電位がローレベルとなり、ビット線BLとビット線/BLの間の微小電位が高速にノードNO1およびNO2において増幅される。このノードNO1およびNO2の電位は内部読出データとして次段へ伝達される。

【0085】トランジスタQ52およびQ54はラッチ回路を構成しており、このノードNO1およびNO2の電位をラッチしている。このとき、列選択信号Yiがローレベルへ立下がり、カレントミラー型増幅器の増幅動作が終了すると、ノードNO1およびNO2の電位のイコライズが行なわれる。この場合、トランジスタQ51およびQ53が設けられていなければトランジスタQ52およびQ54のラッチ動作によりノードNO1およびNO2の電位は読出電位に応じた電位のままであり、所定のプリチャージ電位へ復帰することができない。

【0086】このトランジスタQ52およびQ54によるラッチ動作を解消するためにダイオード接続されたトランジスタQ51およびQ53が設けられる。すなわち、トランジスタQ51にはトランジスタQ52と反対の動作をさせ、またトランジスタQ53にはトランジスタQ54と反対の動作をさせる。すなわち、たとえばノードNO1の電位が上昇したとき、トランジスタQ52はオン状態、一方トランジスタQ51はオフ状態となる。また、トランジスタQ54がオフ状態、トランジスタQ53がオン状態となる。これにより、このラッチ回路の実現する増幅回路の利得を故意に低下させる。すなわち、ノードNO1およびNO2の電位振幅をフルスイング( $V_{cc} - V_{thp}$ からVLの間の変化)をさせない。

【0087】この場合、トランジスタQ51およびトランジスタQ53の電流供給能力をトランジスタQ52およびQ54のそれぞれよりも小さくすることにより、このカレントミラー型増幅器の増幅動作に対する悪影響は生じることはない。また、このトランジスタQ51およびQ53の作用により、トランジスタQ52およびQ54のラッチ能力が低減されている。すなわち、トランジスタQ52がオフ状態となり、ノードNO1の電位が低下した場合トランジスタQ51がオン状態となり、このノードNO1の電位を上昇させる。したがってノードNO1のローレベルはトランジスタQ51の電流供給能力と対応の放電用のトランジスタQ17およびQ30の放電能力との関係によって定められる電位に設定される。

【0088】列選択信号Yiがハイレベルへ移行し、この負荷回路8における放電経路が遮断された場合、ノードNO1およびNO2はそれぞれトランジスタQ51およびQ53により充電される。このノードNO1およびNO2の電位変動はトランジスタQ51ないしQ54により補償され、ノードNO1およびNO2の電位は確実に所定のプリチャージ電位 $V_{cc} - V_{thp}$ にイコライズされる。

【0089】またこの図6に示す負荷回路の構成の場合、ノードNO1およびNO2に付随する寄生容量は、トランジスタQ1~Q4が対称的に配置されているため、同一となり、ノードNO1およびNO2における電位変化特性を同一とすることができる。これにより相補な内部読出データを出力することが可能となる。

【0090】なお図1、図4および図6に示す構成においては駆動回路は、ビット線電位をそのゲートに受けるトランジスタがノードNOA、NOBに接続されており、列選択信号を受けるトランジスタにより接地電位接続されている。この場合列選択信号に応じて動作するトランジスタがノードNOAおよびNOBに接続され、このトランジスタと接地電位との間にビット線電位を増幅するトランジスタが設けられる構成が用いられてもよい。

【0091】また、カレントミラー型増幅回路のトランジスタの導電型は反対にされてもよい。

【0092】

【発明の効果】以上のように、この請求項1および2の発明によれば、読出専用データ線対を第1の部分と第2の部分との2分割構造とし、第1の部分に出力ノードと負荷回路のみを接続し、この第1の部分と第2の部分との間に容量を分離する容量分離手段を設けることにより出力ノードに付随する寄生容量を大幅に低減することができる。これによりデータの読出経路と書込経路とが別々に設けられたI/O分離型半導体記憶装置において、データ読出速度を大幅に改善することが可能となる。

【0093】また、出力ノードに接続されるゲート容量を大幅に削減することにより、これらのゲート容量による充放電電流を低減することができ、低消費電流で動作する半導体記憶装置を得ることができる。

【0094】またこの容量分離手段により、読出専用データ線の第2の部分の論理振幅を小さくすることができ、この第2の部分に付随するゲート容量の充放電電流を低減することができ、より低消費電流とすることができる。

【0095】さらに、メモリセルアレイを列のグループに分割することにより、第2の部分に付随するゲート容量を更に低減することができ、より高速かつ低消費電流で動作する半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例である半導体記憶装置の主要部の構成を示す図である。

【図2】図1に示す半導体記憶装置の代表的な回路動作を示す信号波形図である。

【図3】この発明による半導体記憶装置の効果を示すための動作波形図である。

【図4】この発明の他の実施例である半導体記憶装置の主要部の構成を示す図である。

【図5】図4に示す半導体記憶装置の代表的な回路動作を示す信号波形図である。

【図6】この発明のさらに他の実施例である半導体記憶装置の主要部の構成を示す図であり、カレントミラー型増幅器の負荷回路の変更例を示す図である。

【図7】従来の半導体記憶装置の主要部の構成を示す図である。

【図8】図7に示す半導体記憶装置の代表的な回路動作を示す信号波形図である。

【符号の説明】

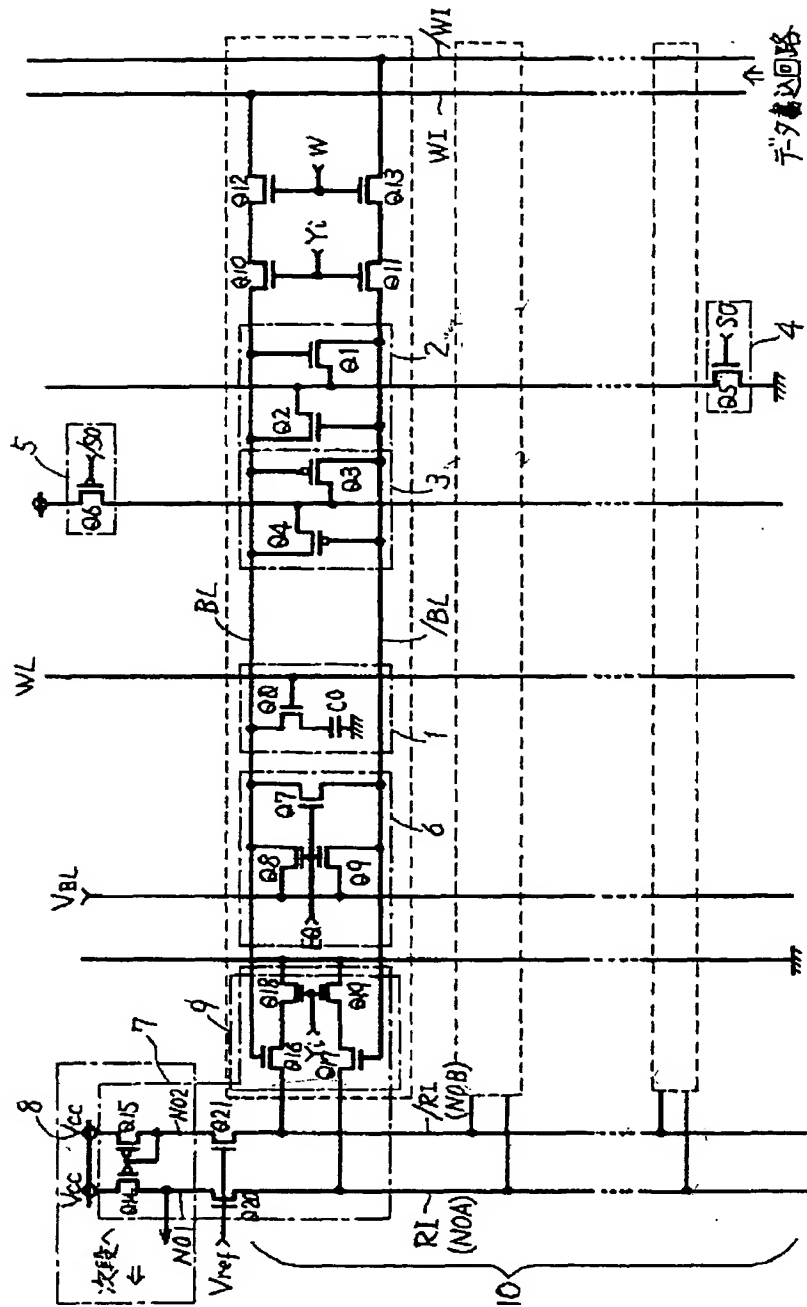
- 1   メモリセル
- 2   N型センスアンプ
- 3   P型センスアンプ
- 6   プリチャージ/イコライズ回路
- 7   カレントミラー型増幅器（読出用増幅手段）
- 8   カレントミラー型増幅器の負荷回路
- 9   カレントミラー型増幅器の駆動回路

Q20   読出専用データ線を第1の部分と第2の部分に分割するためのトランジスタ

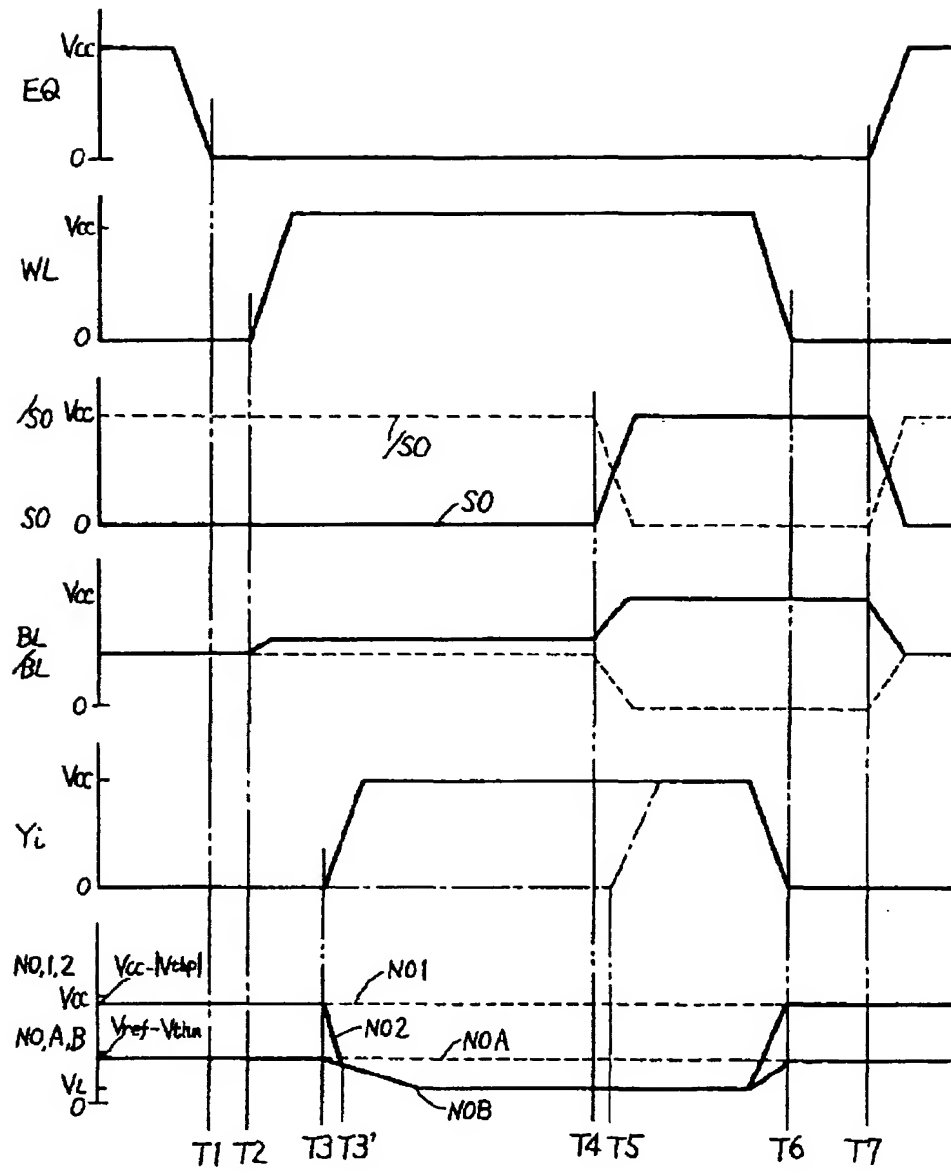
Q21   読出専用データ線を第1の部分と第2の部分に分離するためのトランジスタ

30-1～30-n   接続回路

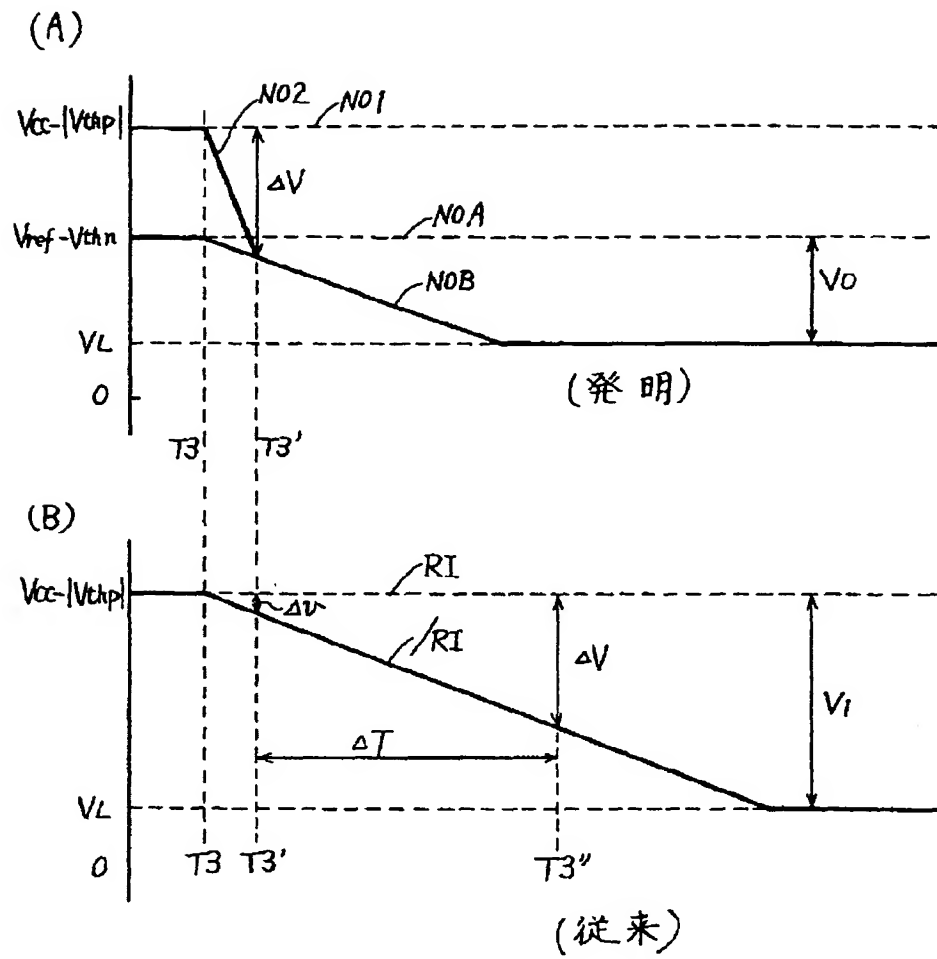
【図 1】



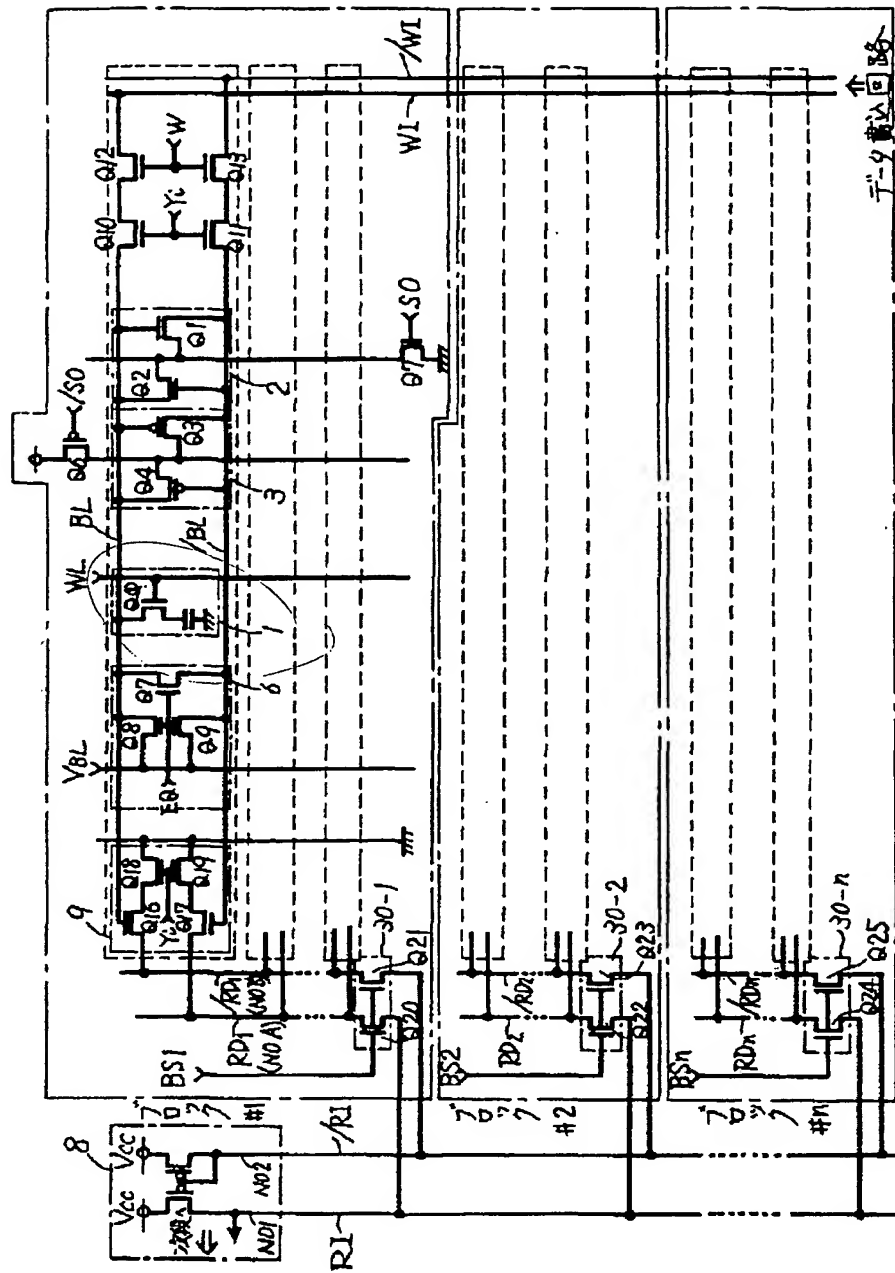
【図2】



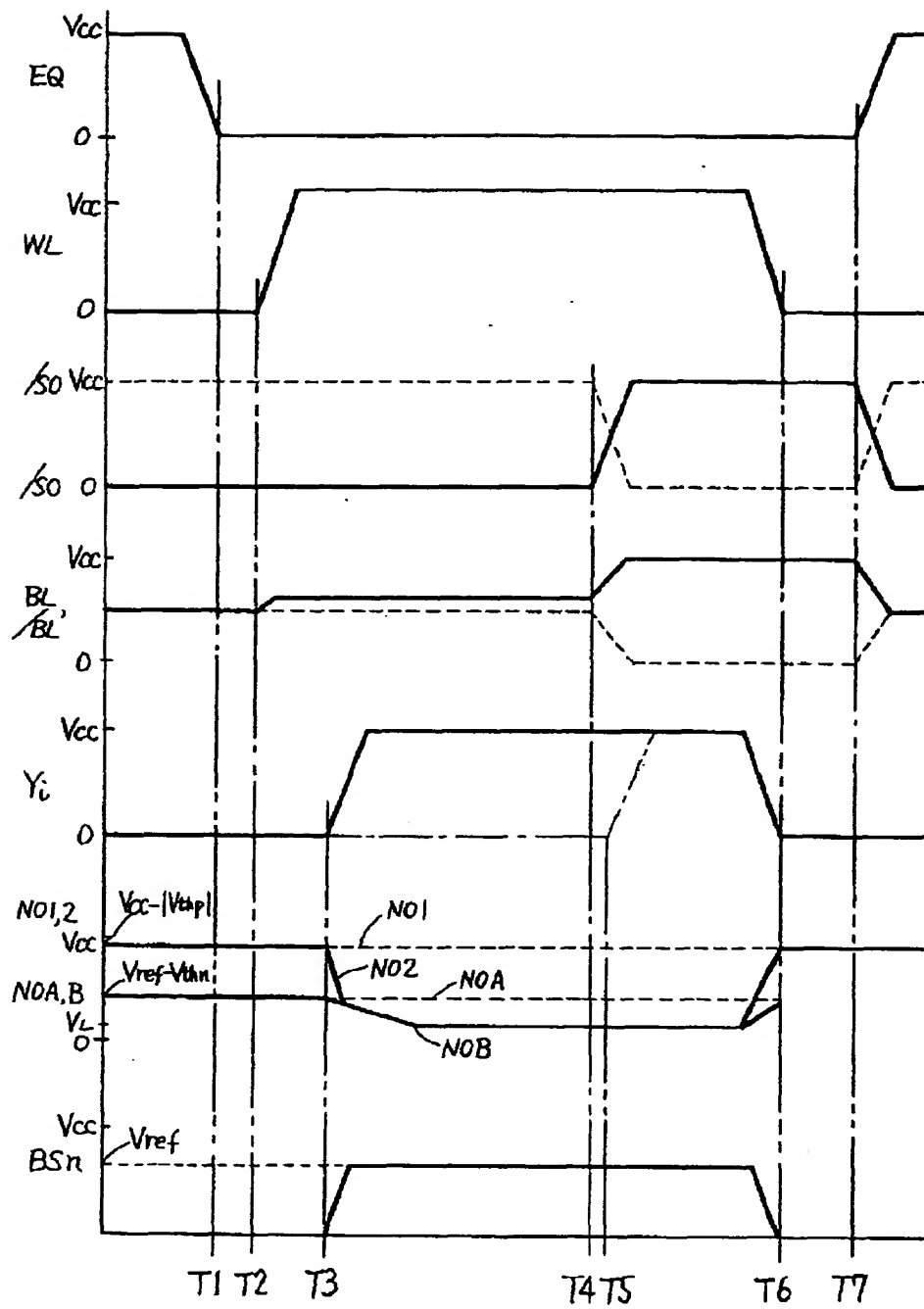
【図3】



【図4】



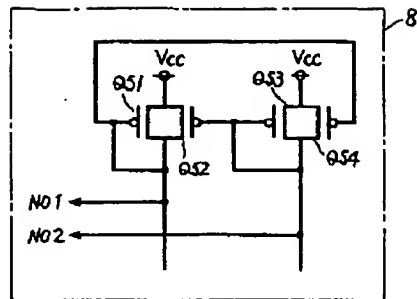
【図5】



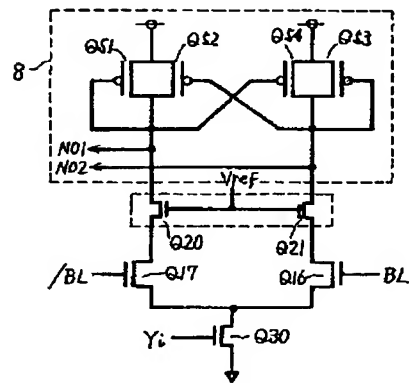


【図6】

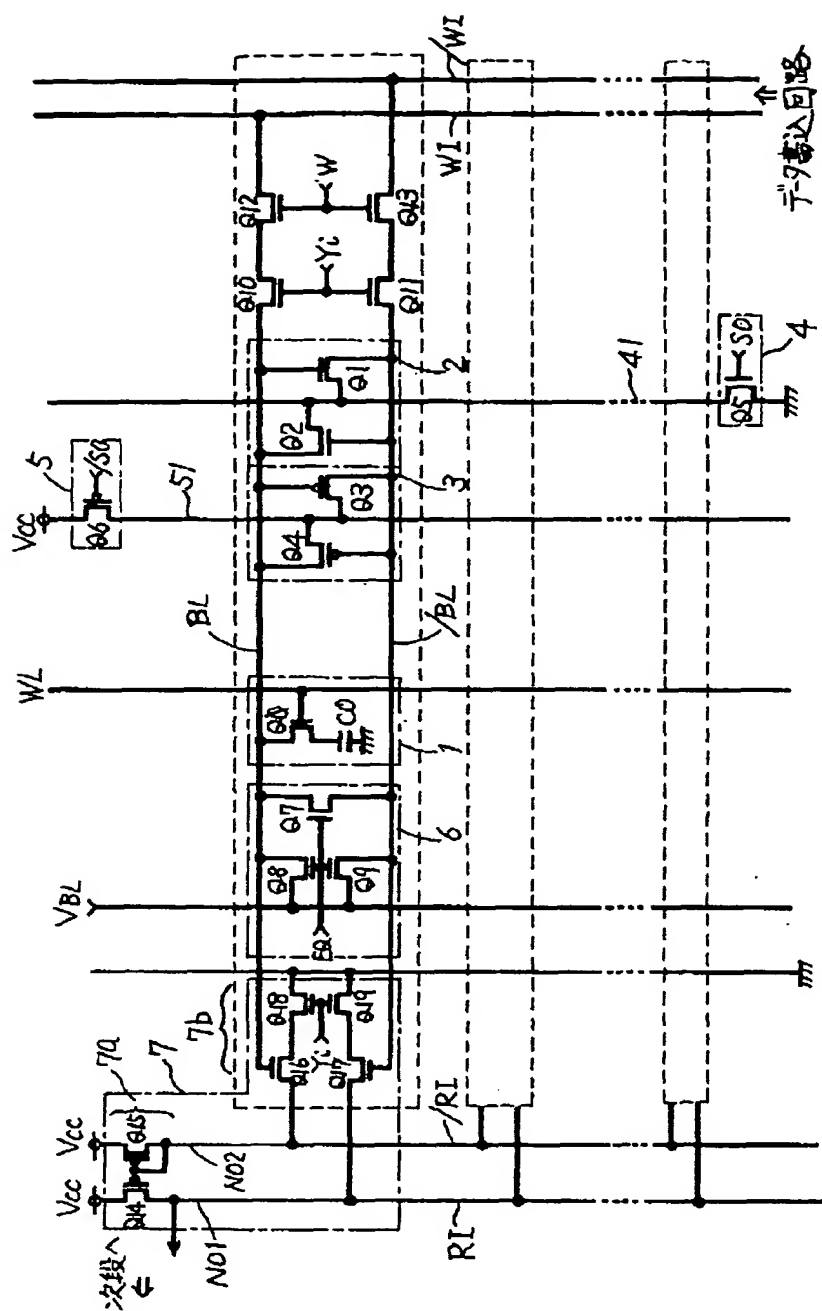
(A)



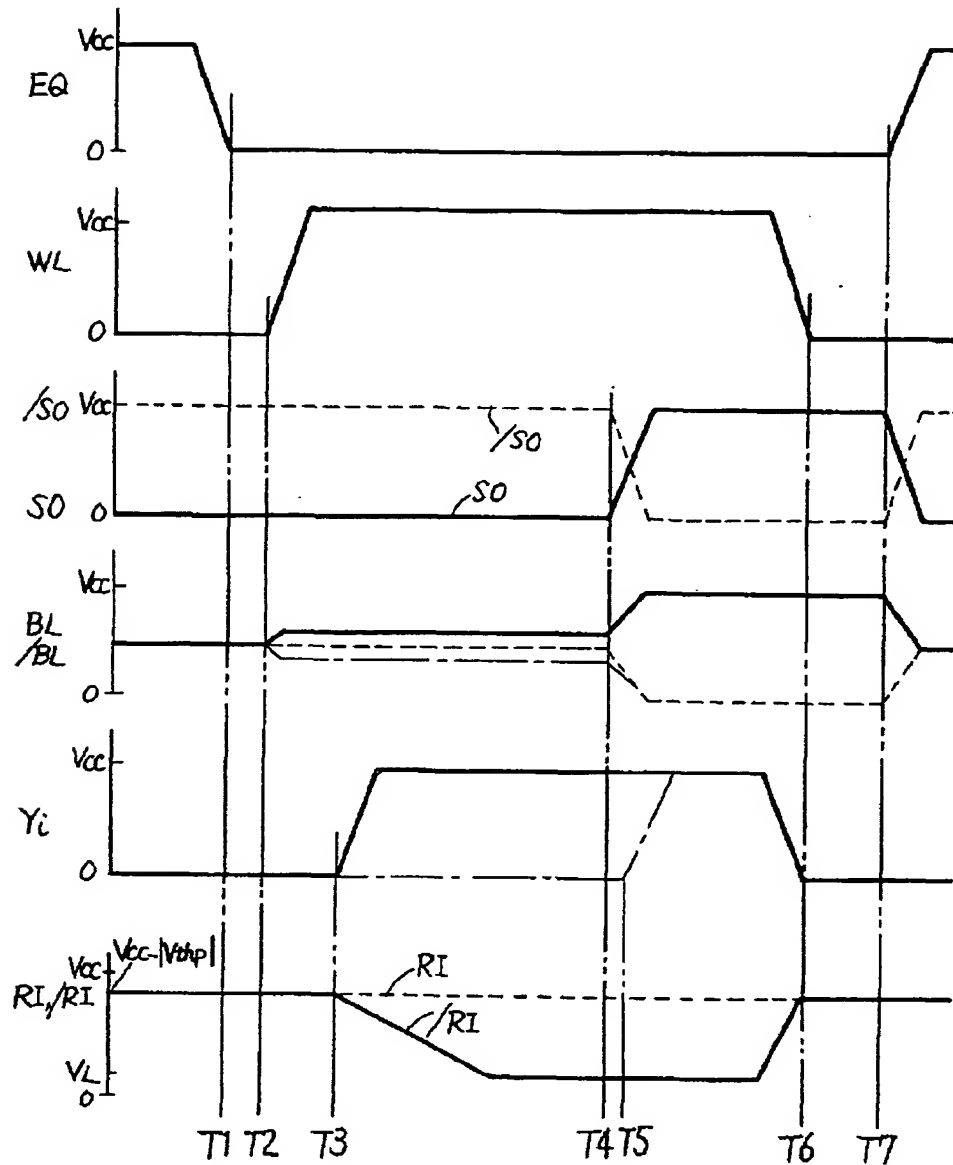
(B)



【図7】



【図8】



## 【手続補正書】

【提出日】平成4年3月4日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

## 【補正内容】

【0043】この発明による半導体記憶装置はさらに、読出専用データ線RI、/RIの第1および第2の部分の間に両者を容量的に分離しかつ電気的に接続する容量分離手段を備える。この容量分離手段は、読出専用デー

タ線RIに接続される負荷トランジスタQ14と駆動トランジスタQ17との間に設けられるnチャネルMOSトランジスタQ20と、読出専用データ線/R Iに接続される負荷トランジスタQ15と駆動トランジスタQ16との間に設けられるnチャネルMOSトランジスタQ21とを含む。トランジスタQ20およびQ21のゲートへはたとえば $V_{cc}/2$ または $V_{cc}/2 - V_{th}$ である基準電位Vref（定電圧）が与えられる。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正内容】

【0059】時刻T3以前においては、ノードNO2およびNOBはそれぞれ所定の安定電位すなわち、ノードNO2が $V_{cc}-|V_{thp}|$ 、ノードNOBが電位 $V_{ref}-V_{thn}$ で安定している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正内容】

【0064】また図3(A)に示す本実施例におけるノードNOBの電位振幅V0は、図3(B)に示す読出専用データ線/R Iの電位振幅V1に比べて小さい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正内容】

【0065】本実施例におけるノードNOAおよびNOBには、従来装置の読出専用データ線RIおよび/R Iと同様多くのゲート容量が接続されている。本実施例において、トランジスタQ20およびQ21を設けることにより、この読出専用データ線のハイレベル（プリチャージレベル）を $V_{cc}-|V_{thp}|$ から $V_{ref}-V_{thn}$ まで低下させることができる。すなわち、この読出専用データ線の第2の部分（ノードNOAおよびNOB）における論理振幅をV1からV0に制限することが可能となる。この論理振幅を制限することにより、ノードNOAおよびNOBに付随するゲート容量の充放電電流（プリチャージ時における充電およびデータ読出時における放電）を減少させることができ、低消費電流で動作をするカレントミラー型増幅器を得ることができる。

